

2024.03.29

In-Depth Report



반도체

CXL에 대한 쉬운 이해와 전망

[반도체] 송명섭 2122-9207 mssong@hi-ib.com

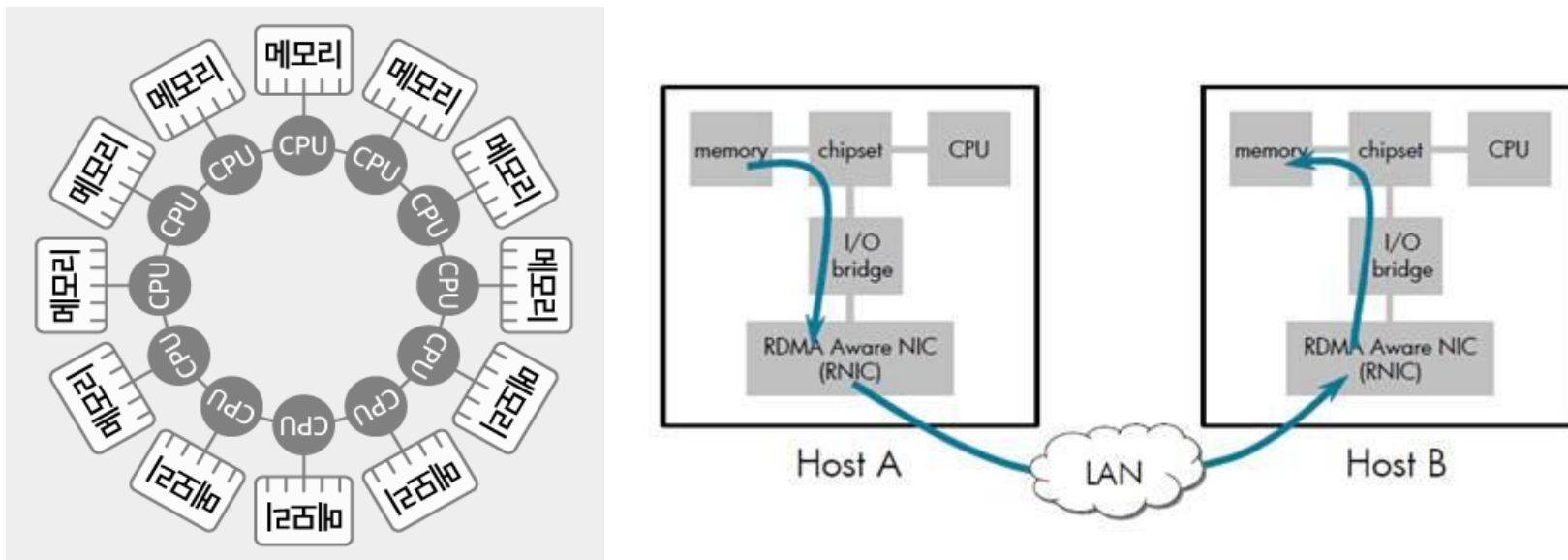
Contents

I . CXL이란?	3
II. CXL의 발전 단계	8
III. CXL 개발 현황	12
IV. CXL 시장 전망	19
V. CXL에 대한 부정적 견해와 메모리 업체들의 입장	20

기존 컴퓨팅 구조의 메모리 확장 문제

- 최근 대규모 데이터에 기반한 응용 처리가 증가함에 따라 데이터센터에서는 이를 더 빠르고 효율적으로 처리하기 위해 시스템의 메모리 확장에 많은 투자를 하고 있음. 그러나 더블데이터대역폭 (DDR) 인터페이스를 통한 메모리 확장은 추가할 수 있는 메모리 수의 제한이 있어 대규모 데이터 처리에 충분치 않음
- 데이터센터에서는 CPU와 메모리로 이루어진 메모리 노드들을 따로 구성하고, 응용을 수행하는 호스트의 메모리가 부족하면 네트워크로 연결된 메모리 노드를 자신의 메모리 공간으로 사용하는 원격데이터전송기술 (RDMA) 기반의 메모리 확장을 사용. RDMA는 CPU를 사용하지 않고 Network Interface Card를 통해 메모리에서 메모리로 직접 원격 데이터를 전송하는 기능을 제공
- 단 RDMA 기반 메모리 확장 시스템도 노드 간 데이터 이동 과정의 불필요한 데이터 복사, 소프트웨어의 개입, 프로토콜 전환으로 인한 지연으로 성능 하락. 메모리 확장 시, 메모리 뿐 아니라 이를 제어할 CPU까지 하나의 노드로 시스템에 추가되어야 하므로 비용도 높음

<그림1> 기존 컴퓨팅 구조와 RDMA를 이용한 메모리 확장

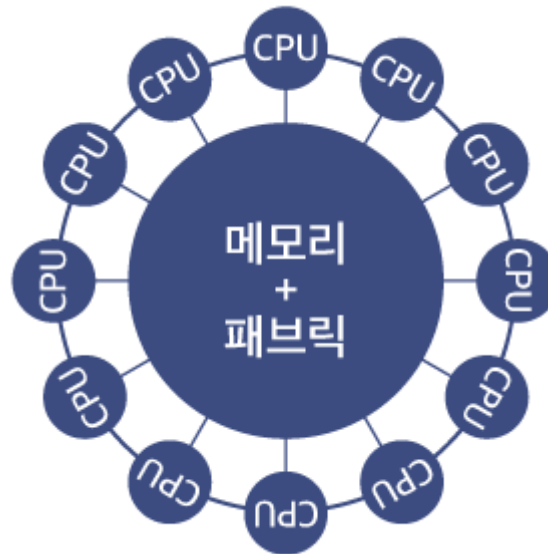


자료 : HPE

메모리 중심 컴퓨팅의 필요성

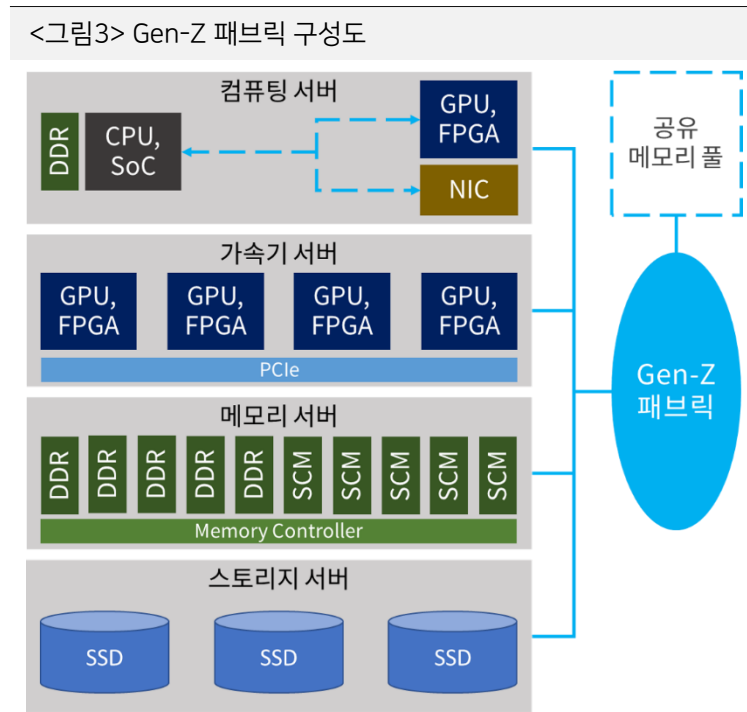
- GPT-3 모델은 Nvidia A100 가속기를 1,500여 개 활용하여 학습 시간을 23일까지 단축했으나 GPT-4 모델의 경우 A100 개수를 2배로 늘려도 83일이라는 긴 학습 시간 소요
- AI 작업이 고도화 되면서 개별 서버들이 필요 이상의 컴퓨팅 자원을 장착하는 Over-provisioning 문제와 전력 낭비 문제도 심화 중
- 기존의 CPU 중심 구조는 CPU에서 처리 빈도나 우선도가 높은 데이터를 DRAM에 기억시키고 스토리지에서 해당 데이터를 불러오는 구성. 따라서 CPU가 지원 가능한 메모리 채널 수에 따라 메모리 대역폭이 한정되고, 메모리 슬롯의 개수에 따라 메모리의 용량이 제한됨
- CPU 소켓 당 코어 수가 많더라도 매번 메모리에서 코어로 제공되는 데이터의 규모가 작으면 CPU의 성능이 제한될 뿐만 아니라, 신형 메모리로 교체하려 해도 CPU의 해당 메모리에 대한 지원 여부를 확인해야 함

<그림2> 메모리 중심 컴퓨팅



메모리 중심 컴퓨팅의 필요성

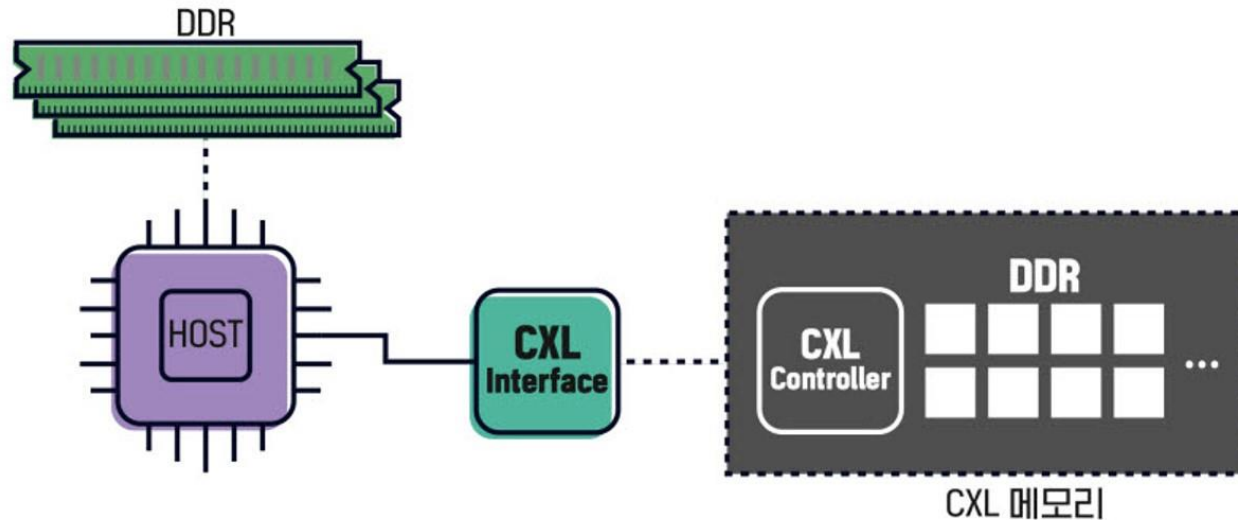
- 여러 대의 CPU와 가속기 (GPU, FPGA 등)를 PCIe (Peripheral Component Interconnect Express)로 연결해도 장치 간 DRAM 공유가 제한적이므로 Cache 일관성 (어느 프로세서가 먼저 데이터 처리를 하더라도 메모리와 다른 프로세서 내 Cache들에 있는 데이터도 같은 값을 유지) 문제 발생. 특정 CPU에 연결된 DRAM의 데이터가 변동되어 스토리지에 저장해야 하는 경우, 변경 내용을 공유 받는 다른 CPU나 가속기에서도 데이터 처리 작업이 발생하고 연결된 인터페이스를 모두 거쳐야 하기 때문에 제 성능을 발휘할 수 없음
- 이러한 문제를 해결하고자 메모리 중심 컴퓨팅 개념 등장. 메모리 중심 컴퓨팅은 여러 대의 서버가 대규모 메모리 풀을 공유하는 환경
- 로컬 DRAM이나 대용량 NAND를 연결하는 새로운 인터커넥트 기술 (Gen-Z, CXL, OpenCAPI, CCIX)들이 등장. 이 중 Gen-Z를 CXL이 '21년 11월에 흡수하며 차세대 산업 표준이 될 가능성이 매우 높아졌음. Gen-Z는 CPU, 가속기, 메모리 등의 디바이스를 패브릭 상에서 연결시키는 오픈형 표준 인터커넥트 프로토콜. 서버 내 연결뿐 아니라 Rack이나 데이터센터 단위로 메모리 풀을 공유하는 연결망 구성



CXL이란?

- AI 시대를 맞이하여 대규모 데이터 처리를 위해 자원 분리 기술이 활발히 연구되고 있음. 자원 분리란 컴퓨팅 자원 풀 (Resource Pool)을 구성하고 자원 풀과 호스트 CPU 사이의 빠른 통신을 구현하여 원격 자원을 자신의 로컬 자원 수준으로 빠르게 이용하는 기술
- 자원 분리 기술은 클라우드 환경에서 각 장치들에 충분한 자원을 제공하면서도, 개별 서버들이 필요 이상의 컴퓨팅 자원을 장착하는 Overprovisioning 문제와 컴퓨팅 시스템의 전력 낭비 문제를 해결
- 자원 풀 실현 기술로서 최근 CXL (Compute eXpress Link)이 빠르게 발전 중. CXL의 도입에 따라 DRAM도 SSD처럼 풀 형태로 분리 가능. CXL은 CPU와 DRAM, 가속기, Network Interface Card, 스토리지 등 다양한 장치들 사이의 Cache 일관성을 유지하여 빠르고 안정적인 연결 기능을 제공
- CXL 기반 DRAM 풀은 각 장치들에 충분한 양의 DRAM을 제공하면서도 유휴 DRAM을 줄여 전체 시스템의 DRAM 사용 효율을 증가. PCIe 5.0을 사용하는 CXL DRAM 풀은 원격 DRAM을 기존의 RDMA 기반으로 접근하는 것에 비해 10배 이상 빠른 접근이 가능

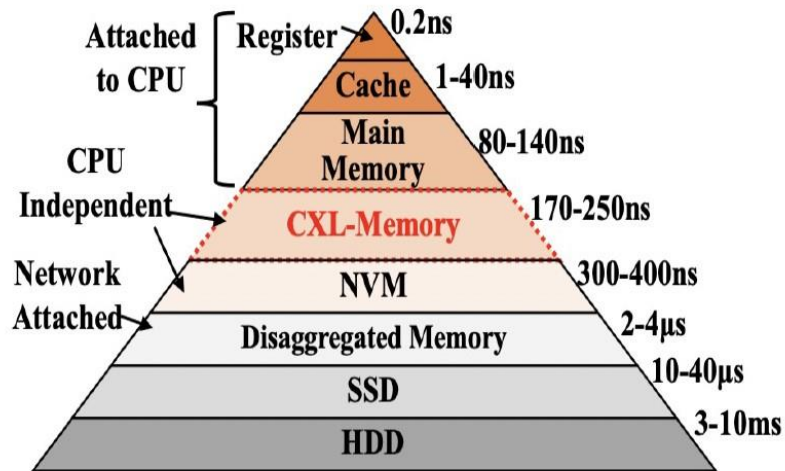
<그림4> CXL을 이용한 DRAM Pool 활용



CXL이란?

- 서버 등 IT 기기 안에서 CPU와 DRAM은 'DDR'이라는 규격으로 서로 연결. CPU라는 연산 공장 옆에 DRAM이라는 재료 보관 창고를 두고 DDR이라는 고속 도로를 놓아서 각종 정보를 전달
- DDR 규격의 문제는 확장성. DDR 규격은 CPU와 DRAM 사이에 여러 개의 채널을 놓는데 1개 채널에 오류가 발생해도 나머지 모든 채널에 문제가 생김. 두번째 문제는 제한적 공유. DDR 환경에선 DRAM이 단 한 개의 호스트 CPU와만 연동. 수많은 CPU가 있는 데이터센터에서 딱 정해진 수의 CPU와 DRAM으로만 연산을 해야 하므로 유휴 CPU와 DRAM이 생기고 때론 과부하가 걸려 비효율적
- CXL은 PCIe라는 주변 부품 간 연결을 해주는 규격에 기반. PCIe는 DDR 대비 속도는 상대적으로 느리나 안정도는 높음
- CXL 메모리는 속도 측면에서 봤을 때 Cache 메모리, HBM, Main Memory 다음 계층에 위치하나 확장성 측면에서는 압도적

<그림5> 속도 및 용량 기준 컴퓨팅 시스템 내 메모리 계층도

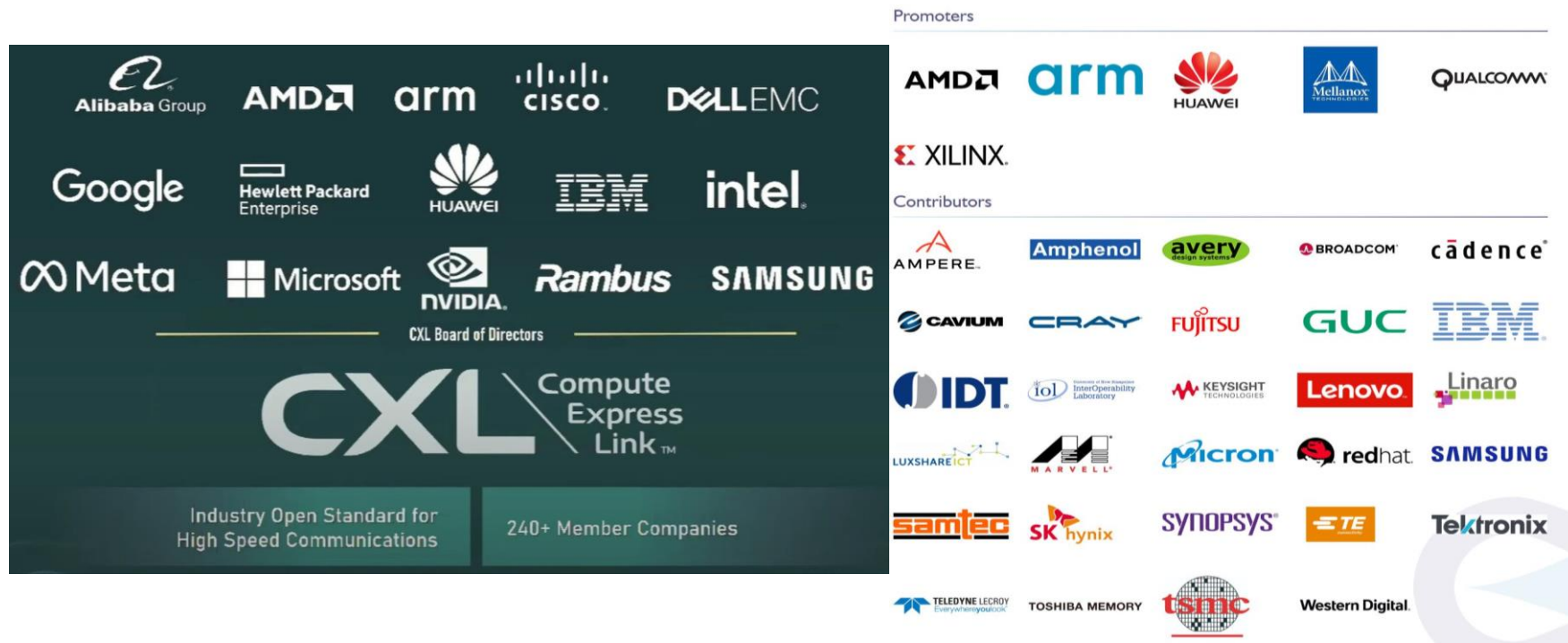


II. CXL의 발전 단계

CXL Consortium

- '19년에 CXL 컨소시엄을 결성한 초기 15개 이사회 멤버사는 Alibaba, AMD, ARM, Cisco, Dell, Google, HPE, Huawei, IBM, Intel, Meta, Microsoft, NVIDIA, Rambus, 삼성전자
- 현재 CXL 컨소시엄은 여러 promotor company, contributor company를 포함한 총 240개 멤버사로 구성
- CXL 컨소시엄에서는 CXL 1.1 ('19년 6월), 2.0 ('20년 11월)을 거쳐 3.0 ('23년 5월)까지 표준을 제정해 왔음

<그림6> CXL Consortium 초기 멤버와 Promoter, Contributor Company



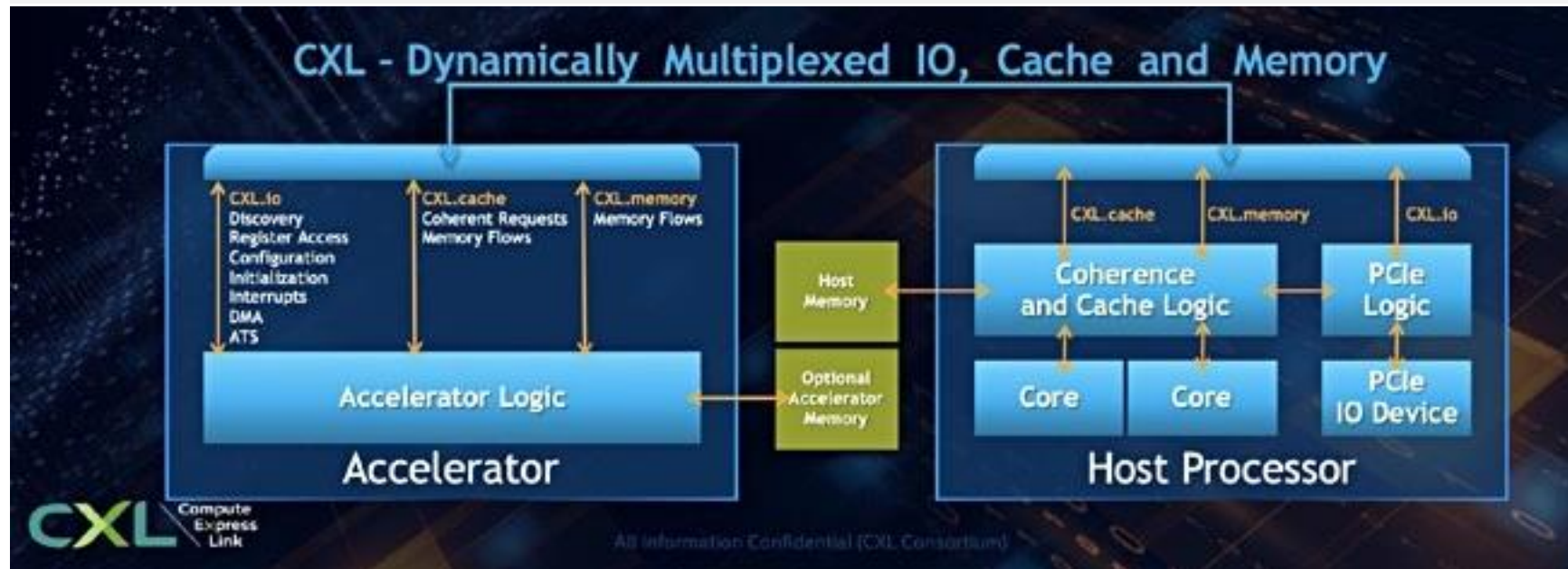
자료 : CXL Consortium

II. CXL의 발전 단계

CXL의 핵심 프로토콜

- CXL이 지원하는 핵심 서브 프로토콜은 세 가지
- CXL.io : PCIe 5.0 프로토콜의 발전된 버전으로, 초기화, 디바이스 발견, 디바이스 연결 실행
- CXL.cache : 호스트 CPU와 디바이스 (메모리 또는 메모리를 장착한 가속기 반도체) 간의 상호 작용을 정의. 초저지연 접속을 통해 연결된 CXL 디바이스가 호스트 프로세서의 메모리를 효과적으로 캐싱 (데이터를 한 번 받아온 후에 그 데이터를 불러온 저장소보다 가까운 곳에 임시로 저장하여, 필요시 더 빠르게 불러와서 사용하는 프로세스)할 수 있음
- CXL.mem : 호스트 CPU가 연결된 디바이스의 메모리에 액세스할 수 있으며 DRAM과 SSD 모두를 지원

<그림7> CXL의 세가지 핵심 프로토콜

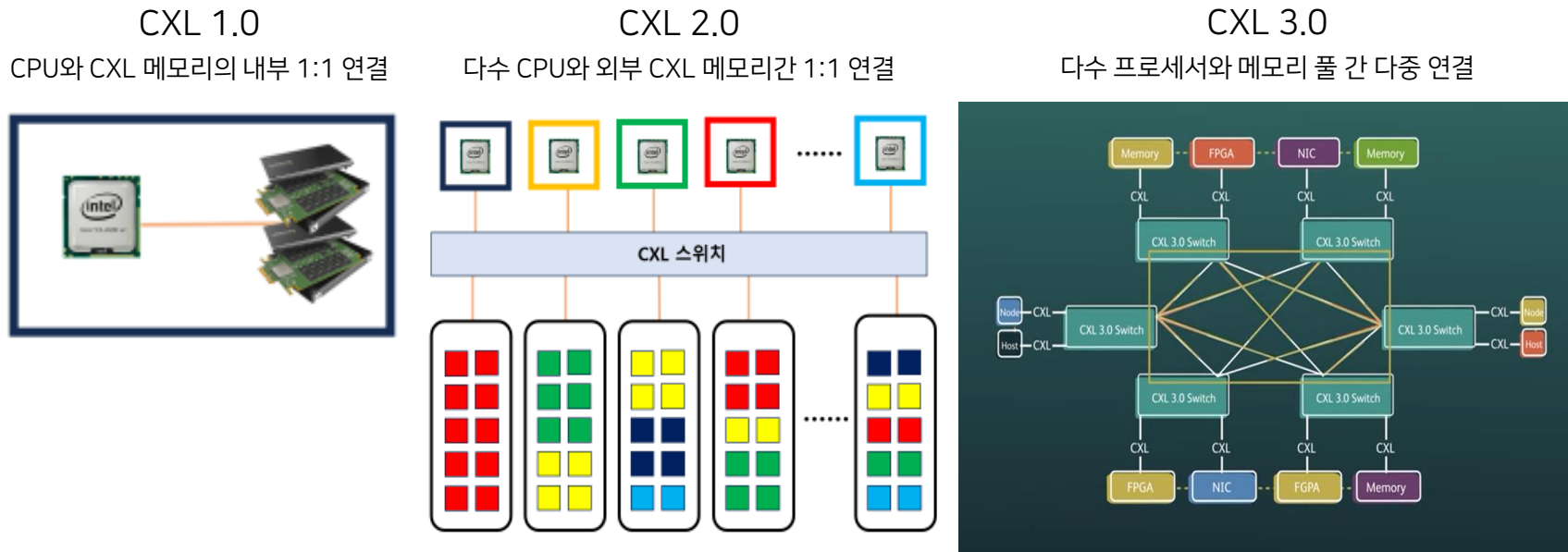


자료 : CXL Consortium

CXL의 Version

- Version 1.0 & 1.1: 세 가지 CXL 서브 프로토콜의 제정과 함께 단일 호스트와 단일 장치 간 일대일 통신에 대한 표준 확정. 기존 CPU와 DRAM이 위치하던 마더보드 내에서 확장된 CXL DRAM이 꽂히는 형태
- Version 2.0: 다수의 CPU들이 외부에 위치한 '메모리 풀' 시스템에 연결 가능. 단 각 CPU마다 메모리 풀에 연결되는 통로가 다르고 메모리 모듈 안에서도 할당된 메모리만 사용 가능해 여전히 확장성에 한계. 메모리와 메모리, CPU와 CPU 간 정보 공유가 어려움
- Version 3.0: CPU와 메모리 풀 간 통로들이 일원화되어 다수의 CPU, GPU가 한 개의 메모리에 같이 접속해 연산 진행 가능. Cache 일관성이 모든 디바이스에서 구현되어 프로세서-메모리 풀들이 한 개의 시스템으로 작동. 기존에는 컴퓨팅 기기들이 각각 연산을 진행하나 모든 프로세서와 메모리들이 한 팀이 되어 연산 가능. 따라서 데이터 병목 현상이 사라지고 연산 스피드가 상승

<그림8> CXL의 Version

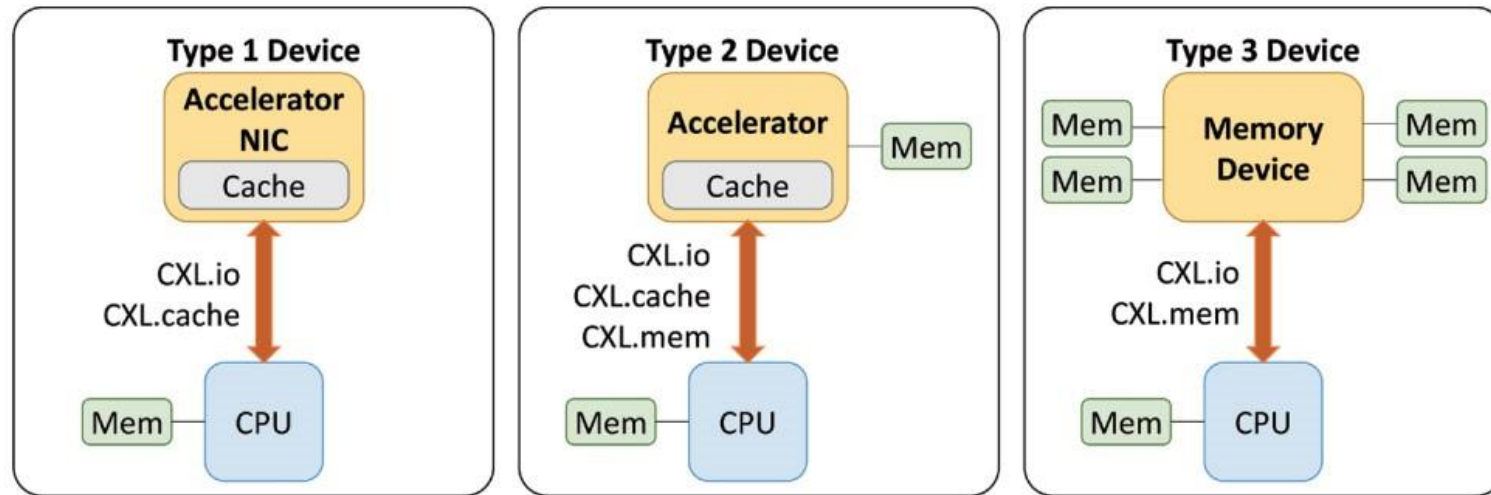


자료 : WWW

CXL의 장치 유형

- CXL의 장치 유형은 CXL 서브 프로토콜의 조합에 따라 세 가지로 분류
- CXL Type 1. 장치: CXL.io, CXL.cache 사용. Cache 메모리를 내장한 가속기 반도체 또는 SmartNIC과 같은 디바이스로 CXL.cache 연산 작업을 통해 호스트 CPU의 메모리에 액세스할 수 있으며, 호스트 CPU의 메모리와 Cache 일관성 구현
- CXL Type 2. 장치: CXL.io, CXL.cache, CXL.mem 사용. 자체 메모리 (DDR DRAM, HBM 등)를 내장한 GPU, FPGA와 같은 가속기 반도체. Cache 일관성을 유지하며 CXL.mem 연산 작업을 통해 호스트 CPU와 Type 2. 장치가 서로 상대방의 메모리에 접근 가능
- CXL Type 3. 장치: CXL.io, CXL.mem 사용. 호스트 CPU가 CXL.mem 연산 작업을 통해 접근할 수 있는 메모리 확장 장치. CXL Type 3 장치는 메모리 용량 및 메모리 대역폭 확장에 사용

<그림9> CXL의 세가지 장치 유형



자료 : WWW

CXL CPU 개발 현황

- Intel이 '23년 1월 출시한 Xeon 시리즈의 Sapphire Rapids는 Type 1과 Type 2 장치를 지원. AMD가 '22년 11월 출시한 EPYC 시리즈의 Genoa는 현재 Type 3 장치만 지원 중. Sapphire Rapids와 Genoa CPU는 현재 PCIe 5.0 환경에서 CXL 버전 1.1을 지원
- Intel은 '24년 상반기 출시되는 5세대 Xeon CPU (Emerald Rapids)에서 CXL 2.0을 지원한다는 계획이었으나 동 CPU는 CXL 1.1까지만 지원하는 것으로 결정
- ARM은 고성능 컴퓨팅용 Neoverse V시리즈와 데이터센터용 N시리즈가 '24년에 CXL 버전 3.0을 지원할 수 있도록 개발 중
- 메모리 반도체 업체들이 CXL 2.0 DRAM 개발을 거의 완료한 상황에서 CXL 2.0을 지원하는 CPU가 아직 출시되지 않았다는 점이 현재 CXL 시장 개화의 제한 요인

<그림10> Intel, AMD, ARM의 CXL CPU

Intel Emerald Rapids

- Workload Optimized Performance & Energy-Efficient Compute
- Blazing Fast Memory: 8x DDR5 memory with 5600 MT/s
- Enhanced I/O: CXL types 1 and 2, 80 lanes of PCIe Gen 5

AMD Genoa

- CXL1.1+ Memory support (CXL "Type3")
- Advanced memory attach capability for DDR and emerging memory
- SEV-SNP, QoS, and tiered memory management extensions

ARM
64 Neoverse V3 Cores

FAST I/O
PCIe Gen5 & CXL 3.0

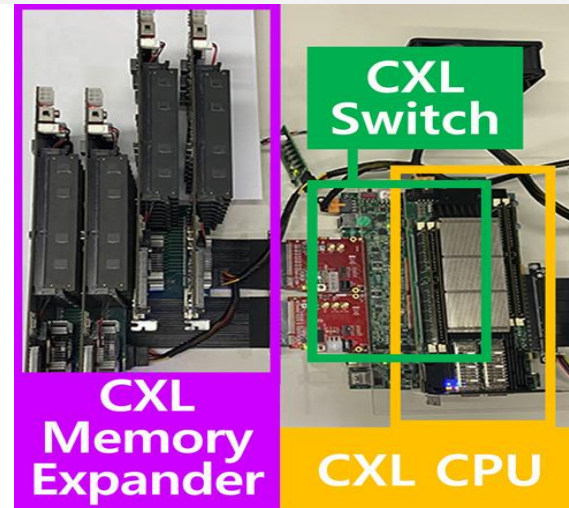
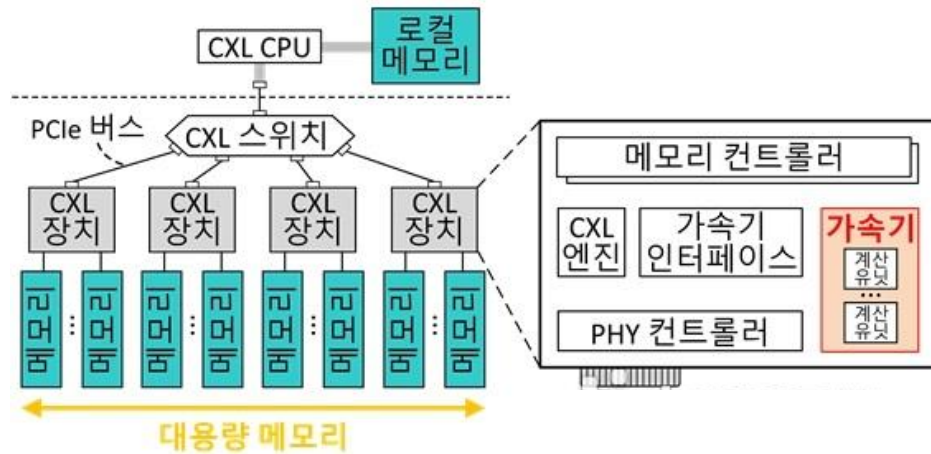
LEADING PERFORMANCE
For Cloud, HPC, AI & ML Workloads

자료 : Intel, AMD, ARM

CXL Switch 개발 현황

- 외부에 있는 메모리 풀 시스템과 CPU를 연결하려면 중간에서 CXL 규격으로 변환해주면서 가교 역할을 할 스위치 필요. CXL 스위치로 여러 메모리 확장기를 포트 하나에 연결할 수 있는 확장성을 제공. 다양한 IP를 묶어서 칩 형태로 구현
- Enfabrica사는 ACF (Accelerated Compute Fabric) CXL 스위치를 개발 중. 동 스위치는 CXL 기반 컴퓨팅 구조에서 로컬 DRAM/HBM과 RDMA 기반 원격 메모리 사이에 위치하여 원격 고성능 대용량 메모리를 캐시 용도로 사용할 수 있도록 지원
- Xconn Technologies사는 CXL 버전 2.0 스위치 SoC를 최초 개발. 하나의 CXL 스위치에 0.5TB의 CXL 버전 2.0 메모리 장치를 30개 씩 장착해서 15TB를 구성하고, 해당 스위치가 최대 4개 연결된 형태로 호스트 프로세서에 장착하여 총 60TB까지 메모리를 확장 가능
- KAIST 출신 스타트업 파네시아 (Pannesia)는 '22년 6월 세계 최초로 CPU와 메모리, 스위치 등 시스템 내 모든 요소 간 CXL 2.0 솔루션 공개. 최신 CXL 3.0 규약을 기반으로 한 컴퓨팅 솔루션을 '23년 9월 실리콘 칩에 구현해 작동을 1차 검증. CES 2024에서 동사 CXL 기반 AI 가속기가 혁신상 수상

<그림11> CXL Switch 구조와 파네시아 CXL 장치

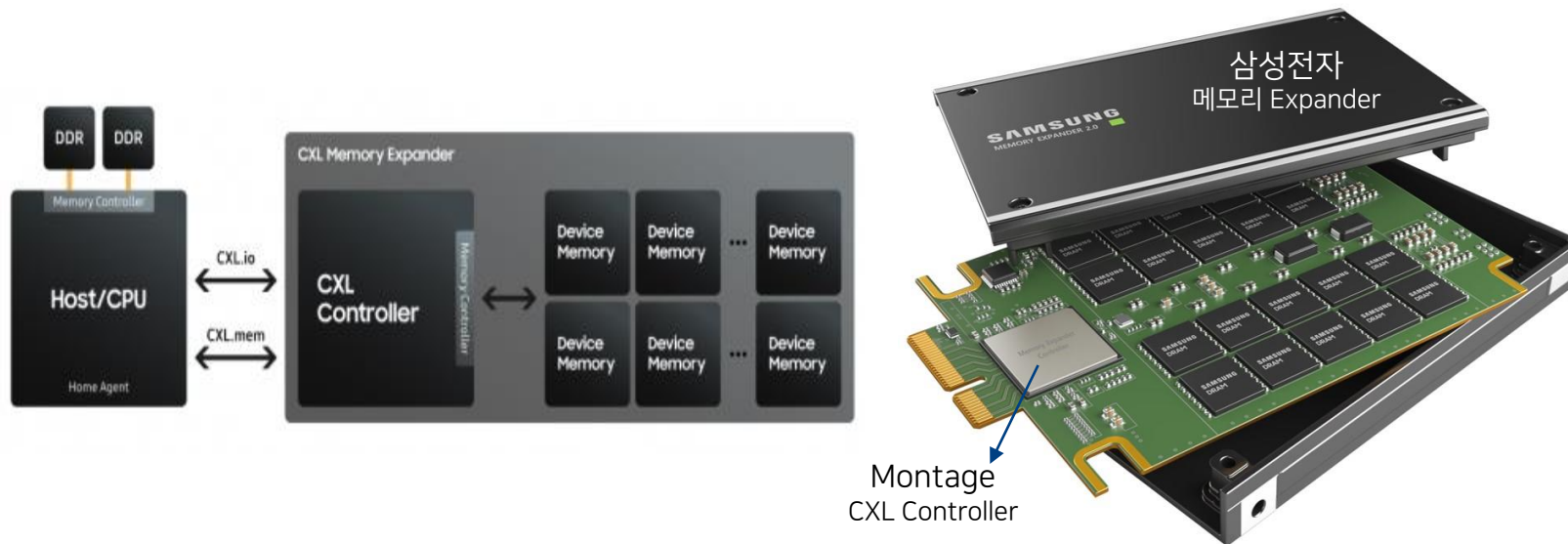


자료 : KAIST

CXL Controller 개발 현황

- CXL DRAM 모듈에는 CXL 컨트롤러 추가 필요. DRAM이 어떤 CPU의 정보를 어떻게 받을 것인지, 또 어떤 DRAM과 연동해 작업을 할 것인지 등을 판별. SSD에 탑재되는 NAND 컨트롤러와 유사한 기능
- 현재까지는 '04년에 설립된 중국 Fabless 업체 Montage Technology가 '22년 5월 세계 최초로 CXL 메모리 컨트롤러를 상용화해 시장을 독점 중. 동사는 DRAM용 메모리 인터페이스, DDR5용 전력관리반도체 (PMIC) 등을 설계해 메모리 업체들에 공급 중인 업체. 삼성전자와 SK하이닉스가 양산 준비 중인 CXL 2.0 메모리에는 동사 CXL 메모리 컨트롤러가 전량 탑재될 예정
- 삼성전자는 CXL 컨트롤러 자체 개발 개시. 현재 CXL 컨트롤러 가격은 약 60달러로 동사가 CXL 메모리에 자체 개발한 CXL 컨트롤러를 탑재하면 생산 비용 절감 가능. 동사가 CXL 컨트롤러 자체 개발에 주력함에 따라 Montage 제품이 탑재될 CXL 2.0 DRAM을 23년 내에 양산한다는 계획을 연기
- 시장 조사 기관인 Yole에 따르면 CXL 컨트롤러 시장이 '22년 96백만 달러에서 '29년까지 763백만 달러로 증가 예상

<그림12> 삼성전자 메모리 Expander 내 Montage CXL Controller



자료 : 삼성전자

CXL 메모리 개발 현황

- 시장 조사 기관인 Yole에 따르면 '28년 150억달러로 예상되는 전체 CXL 시장에서 80%인 120억달러를 CXL DRAM 시장이 차지할 전망. CXL 메모리의 대표적인 예는 삼성전자의 CXL 메모리 Expander와 SK 하이닉스의 CXL 메모리. 두 장치 모두 CXL 2.0을 지원하는 Type 3 장치로 아직 시제품 상태
- CPU 등 가용한 CXL 장치들이 아직 부재하므로 하드웨어를 모사한 소프트웨어 환경에서 CXL 메모리를 개발해야 함. 이를 위해 CXL 장치 제조사와 CXL 컨소시엄은 CXL 메모리를 Emulation하는 소프트웨어와 S아 (Software Development Kit)를 개발하고 공개 중

<그림13> CXL 메모리 관련 (Switch, Controller, Foundry 포함) 업체

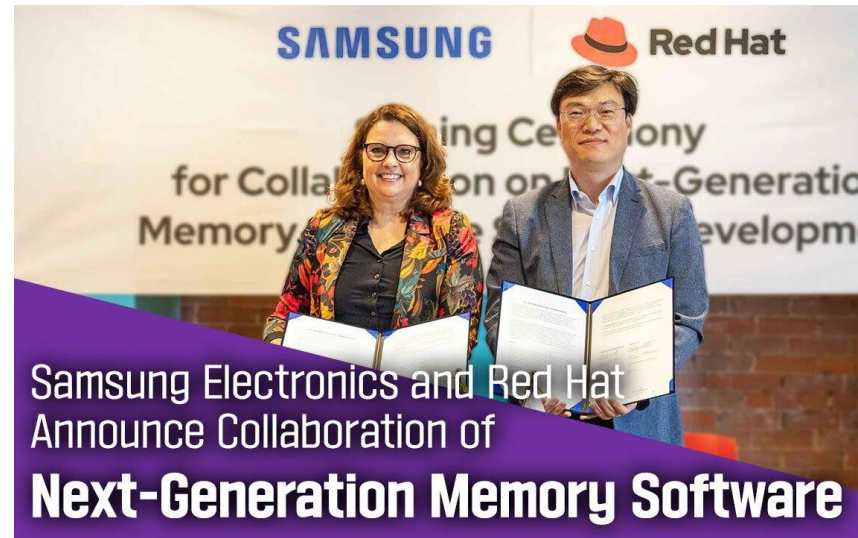


자료 : Yole Intelligence

삼성전자

- 삼성전자는 CXL 컨소시엄의 이사회 멤버로서 CXL 메모리 개발에 가장 적극적
- '22년 5월에 업계 최초의 CXL Type 3 메모리 Expander 프로토타입 출시
- '23년 5월에 PCIe 5.0 및 CXL 2.0을 지원하는 128GB DRAM을 개발해 최대 35GB/s의 대역폭 제공
- '23년 12월에 리눅스에서 정상적으로 작동하는지 확인하기 위한 Red Hat과의 CXL 메모리 동작 검증에 성공. 양사는 Red Hat Enterprise Linux 9.3 CXL 메모리 활성화 가이드도 발행 예정. 고객들은 가이드를 이용해 리눅스에서 삼성전자의 CXL 메모리를 사용하고 다양한 환경에서 고성능 컴퓨팅 시스템 구축 가능
- 삼성전자는 '23년 12월 4일 CXL 관련 ▲삼성 CMM (CXL Memory Module)-D (DRAM) ▲삼성 CMM-DC (DRAM Compute) ▲삼성 CMM-H (Hybrid) ▲삼성 CMM-HC (Hybrid Compute) 등 총 4종의 상표를 출원

<그림14> 삼성전자 CXL 메모리 Expander와 삼성전자-Red Hat 간 협력



자료 : 삼성전자

기타

- 엑시콘: 동사는 국책 과제를 통해 CXL 테스터 개발 중. '22년 삼성전자와 공동으로 CXL 1.1 테스터 개발 완료. 1Q24에 CXL 2.0 테스터 개발 완료 계획
- 네오셈: PCIe 6.0 및 CXL 3.0 기반 CXL - DRAM 검사 장비를 개발 중
- 파두: SSD 컨트롤러 업체인 동사는 CXL 관련 개발 전담 조직 Eeum을 실리콘 벨리에 신설하고 CXL 스위치를 개발 중
- 파네시아: '22년 6월 세계 최초로 CPU와 메모리, 스위치 등 시스템 내 모든 요소 간 CXL 2.0 솔루션 공개. 최신 CXL 3.0 규약을 기반으로 한 컴퓨팅 솔루션을 '23년 9월 실리콘 칩에 구현해 작동을 1차 검증. CES 2024에서 동사 CXL 기반 AI 가속기가 혁신상 수상

<그림16> 엑시콘의 제품 구성과 파네시아의 CXL 솔루션

사업부문	역할	장비사진
Memory Tester	디램 모듈 테스터	
ETBI (MBT)	번인 테스터	
Storage Tester	SSD 테스터	
SoC Tester	CIS/ DDI / LED/ AP / PMIC 등 다양한 비메모리 적용 가능	



CXL Memory Expander



CXL Switch



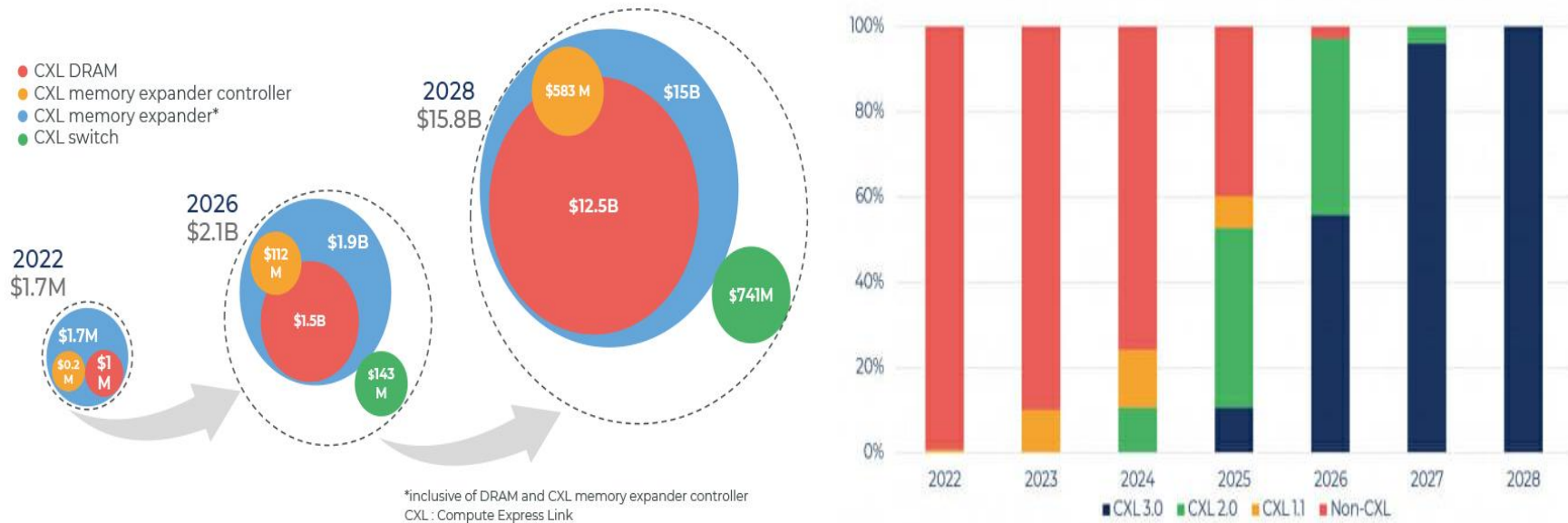
CXL CPU

자료 : 엑시콘, 파네시아

시장 규모 추정

- 시장 조사 기관 Yole의 '23년 9월 전망에 따르면 '22년 1.7백만 달러에 불과한 CXL 시장이 '26년 21억 달러, '28년 158억 달러로 급격히 성장
- 그중 CXL DRAM 시장은 '26년 15억 달러, '28년 125억 달러로 전체 CXL 시장의 71%, 79%에 달할 것으로 예상됨
- DRAM 업체들이 자체 개발 중인 CXL 메모리 Controller의 시장 규모는 '26년 1.1억 달러, '28년 5.8억 달러로 성장할 듯
- CXL 스위치의 시장 규모는 '26년 1.4억 달러, '28년 7.4억 달러로 예상
- '24년부터 CXL 2.0의 도입이 시작되고 '26년에 CXL 3.0의 도입이 본격화되면서 CXL 시장이 급격히 성장할 것으로 추정

<그림17> CXL 부문별 시장 규모와 CXL CPU의 Version 별 출하량 비중 전망



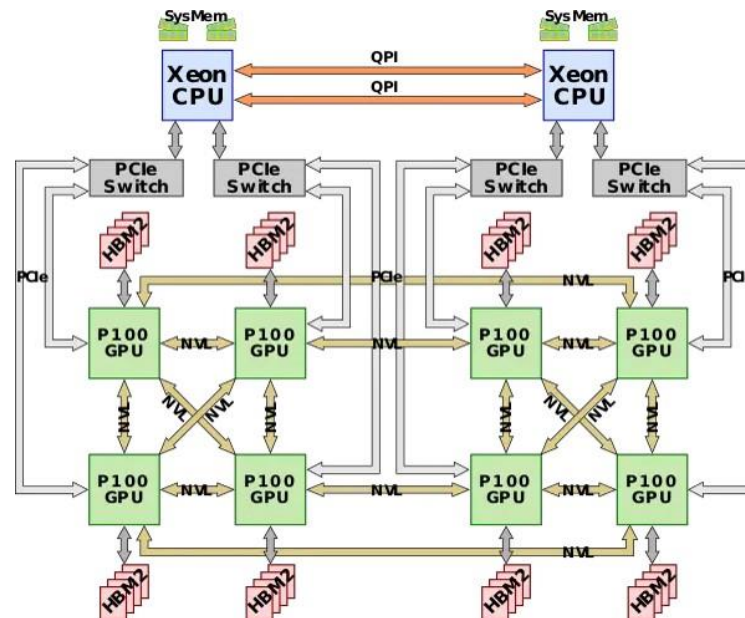
자료 : Yole '23년 9월 전망

V. CXL에 대한 부정적 견해와 메모리 업체들의 입장

CXL에 대한 부정적 견해 (Nvidia NV Link)

- AI 산업을 이끌고 있는 Nvidia는 CXL과 유사한 개념의 NV Link를 개발, 채택 중이고 따라서 CXL에 소극적. AMD의 Genoa CPU에는 PCIe 기반의 CXL Lane이 128개나 사용된 반면 Nvidia의 H100 GPU에는 16개만 사용
- CXL은 서로 다른 프로세서 간 Cache 일관성을 유지하기 위해 Low Latency에 집중하며 이에 따라 지연 시간을 늘리는 FEC (Forward Error Correction) 기능을 사용하지 않음. 사후에 Error를 교정하지 못하므로 속도를 희생하더라도 정확도를 높이는 방식
- Nvidia의 다수 GPU 작업 환경은 많은 작업량을 병렬 처리하므로 각 장치의 Low Latency에 크게 집착하지 않으며 대량의 데이터를 한 번에 보내고 사후에 FEC로 교정하는 방식
- 4세대 NV Link는 자사 CPU, GPU간 900GB/s의 속도 (H100 기준)로 연결해 PCIe 5.0 대비 대역폭은 7배 (제공미터당 3배), 에너지 효율은 5배. 대역폭을 중시하고 NV Link를 보유한 Nvidia가 CXL에 소극적인 이유

<그림18> NV Link 1.0과 다수 P100 GPU가 사용된 Computing

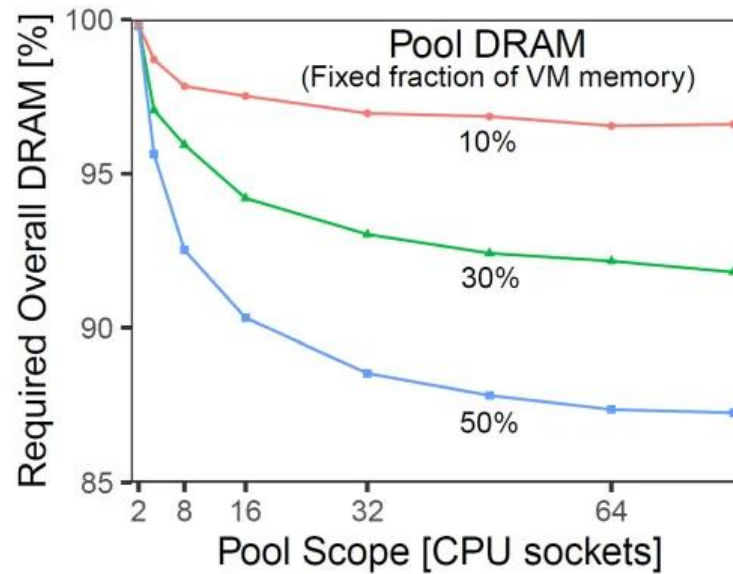


자료 : Nvidia

CXL에 대한 부정적 견해 (DRAM 요구량 축소)

- DRAM 업체들의 입장에서 CXL의 부정적인 영향은 CXL 채택 시 DRAM 요구량 감소 가능성
- CXL의 자원 분리 기술은 클라우드 환경에서 각 장치들에 충분한 자원을 제공하면서도, 개별 서버들이 필요 이상의 컴퓨팅 자원을 장착하는 Overprovisioning 문제와 컴퓨팅 시스템의 전력 낭비 문제를 해결
- 유휴 메모리를 줄여 시스템의 자원 효율을 올림에 따라 CXL의 사용은 기존 시스템 대비 DRAM 요구량을 축소시킬 수 있음
- Microsoft는 현재 시스템에서 약 25%나 되는 유휴 DRAM이 발생하고 초기 CXL을 사용하면 전체 DRAM 요구량을 10% 줄일 수 있으며, 향후 시스템 내 전체 DRAM에서 Pool의 비중이 상승하면 DRAM 요구량이 빠르게 축소될 것으로 밝힌 바 있음

<그림19> DRAM Pool 비중 상승에 따른 DRAM 요구량 감소



자료 : Microsoft

CXL에 대한 메모리 반도체 업체들의 입장

- 메모리 반도체 업체들은 CXL의 도입이 향후 DRAM 요구량을 줄일 수 있다는 Risk보다, 현재 DDR 구조상 메모리 확장에 한계가 있어 고객들의 빠른 서버 증설이 제한될 수 있다는 점이 더욱 큰 Risk라는 입장
- 즉 CXL의 도입이 역사적으로 Computing System의 Bottle Neck이었던 메모리 확장 제한 문제, Processor와의 성능 차이 문제 등을 해결함으로써, AI 발전 가속화 및 이에 따른 더 많은 System의 생산, 더 많은 DRAM 수요 창출을 이끌 것이라는 견해임
- Nvidia의 CXL에 대한 소극적인 태도는 AI Computing을 이끌고 있는 동사의 위상을 감안하면 CXL의 빠른 성장에 부정적인 요소임이 분명. 그러나 Nvidia의 NV Link가 현재까지는 메모리 공유를 포함한 동사 자체 CPU, GPU들 만의 데이터 이동에 관한 것인 반면, CXL은 CPU, 가속기 반도체, DRAM, Storage 등 System 전반에 관한 규약이므로 보다 포괄적인 개념임
- 따라서 Nvidia의 서버용 CPU 시장 점유율이 계속 저조한 상황에서 서버, Rack, 데이터센터 전반의 효율성을 모두 고려해야 하는 고객들 (빅테크 업체들)이 CXL을 적극 채용하는 방향으로 간다면, Nvidia 역시 NV Link를 수정 또는 포기할 가능성이 높은 것으로 판단됨
- 삼성전자는 2H24에 CXL 2.0을 지원하는 Intel CPU가 출시될 경우 CXL 시장이 본격적으로 개화할 것으로 예상하고 CXL 2.0 DRAM의 양산을 준비 중. 동사는 CXL 개발에 가장 앞서 있으며 HBM 경쟁에 뒤처진 점을 보완하고자 CXL 시장 개화에 더욱 적극적인 입장
- SK하이닉스는 CXL의 성장성에는 의심이 없으므로 개발에 노력을 기울이고 있으나, 본격적인 시장 확대는 주변 환경이 성숙될 CY26경에 가능할 것으로 보고있는 듯

Compliance notice

당 보고서 공표일 기준으로 해당 기업과 관련하여,

- 회사는 해당 종목을 1% 이상 보유하고 있지 않습니다.
- 금융투자분석사와 그 배우자는 해당 기업의 주식을 보유하고 있지 않습니다.
- 당 보고서는 기관투자자 및 제 3자에게 E-mail 등을 통하여 사전에 배포된 사실이 없습니다.
- 회사는 6개월간 해당 기업의 유가증권 발행과 관련 주관사로 참여하지 않았습니다.
- 당 보고서에 게재된 내용들은 본인의 의견을 정확하게 반영하고 있으며, 외부의 부당한 압력이나 간섭 없이 작성되었음을 확인합니다.

본 분석자료는 투자자의 증권투자를 돕기 위한 참고자료이며, 따라서, 본 자료에 의한 투자자의 투자결과에 대해 어떠한 목적의 증빙자료로도 사용될 수 없으며, 어떠한 경우에도 작성자 및 당사의 허가 없이 전재, 복사 또는 대여될 수 없습니다. 무단전재 등으로 인한 분쟁발생시 법적 책임이 있음을 주지하시기 바랍니다.

[투자의견]

종목추천 투자등급

종목투자의견은 향후 12개월간 추천일 증가대비 해당종목의 예상 목표수익률을 의미함.

- Buy(매수): 추천일 증가대비 +15% 이상
- Hold(보유): 추천일 증가대비 -15% ~ 15% 내외 등락
- Sell(매도): 추천일 증가대비 -15% 이상

산업추천 투자등급

시가총액기준 산업별 시장비중대비 보유비중의 변화를 추천하는 것임

- Overweight(비중확대)
- Neutral (중립)
- Underweight (비중축소)

[투자등급 비율 2023-12-31 기준]

매수	중립(보유)	매도
91.1%	8.9%	-